

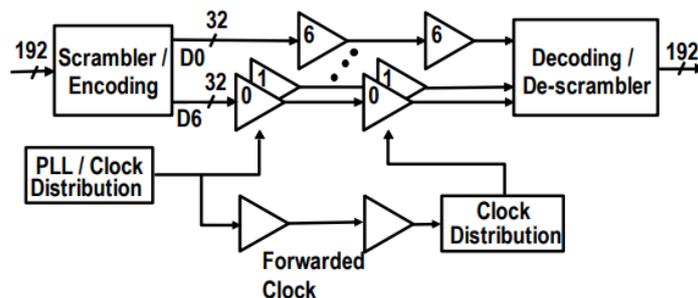
# 2023 IEEE CICC Review

## IEEE Custom Integrated Circuits Conference

KAIST 전기 및 전자공학과 박사과정 배홍현

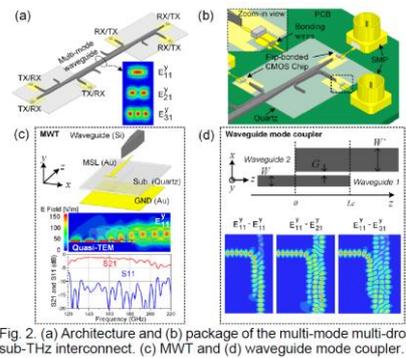
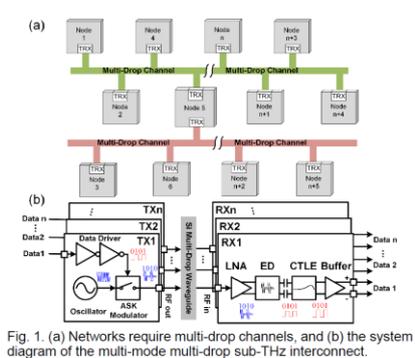
### Session 27 Analog Techniques

#27-1 은 Cadence에서 쓰인 논문으로 Die-to-die application에서 쓰이는 Transceiver를 설계한 것이다. Die-to-die application에서는 bandwidth density를 높이기 위해서 single-ended 신호를 사용하는데, 이 경우 ground loops나 reference의 offset과 같은 다양한 문제가 발생하게 된다. Ground loops는 각 reference의 local ground에 존재하는 인덕턴스와 해당 path로 흐르는 return current로 인한 reference ground의 dynamic difference로 인해 발생하게 되고, reference noise immunity를 저하시킨다. 이를 해결하기 위해 본 논문에서는 6b/7b spatial encoding 기법을 사용하였다. 해당 인코딩 기법은 6-bit 데이터를 각각 7bit로 변환하는데, 7bit 중 3~4개는 항상 1로, 나머지는 0으로 되도록 알고리즘이 설계되었다. 따라서 데이터가 바뀔 때 1에서 0으로 변환되는 비트가 있다면 그에 따라 0에서 1로 바뀌는 비트가 생기게 된다. 이러한 특성으로 인해 비트가 바뀔 때 ground inductance에 흐르는 서로의 induced current가 상쇄된다. 다만 이와 같은 효과를 얻기 위해선 각 비트에 들어오는 신호의 딜레이가 완벽하게 매칭되어야 하고, bit의 개수가 홀수 (7bit)이기 때문에 상쇄되지 않은 1bit분의 ground loop은 존재하게 된다. 논문에서는 제안한 인코딩 방식을 통해 기존 대비 최대 1/6 수준으로 reference noise를 감소시켰고, 이와 더불어 sampler를 이용한 clock recovery와 offset correction을 통해 480Gb/s/mm 1.7pJ/b의 성능을 달성하였다. 또한 Tx의 출력 신호를 sub-sampling한 후 clock calibration을 진행하여 Duty cycle과 skew distortion이 BER에 악영향을 최소화하였고 이를 통해 40Gb/s/wire의 동작 환경에서  $<1e-15$ 의 낮은 BER을 달성하였다.



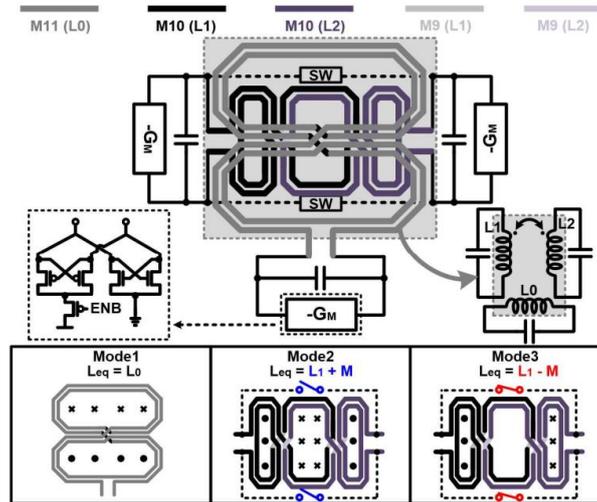
[그림 1] 제안한 시스템의 블록도

#27-2 Wireline communication을 위한 송수신 회로는 데이터 전송 량은 높으면서 사용하는 전력은 줄이는 방향으로 연구가 되어왔다. #2번 논문은 송수신 회로에 새로운 기술을 제시하지는 않지만 여러 개의 송수신 칩 사이의 새로운 interconnection 방식을 제시하였다. 기존의 wireline communication을 위한 interconnection은 크게 3가지 정도로 분류할 수 있다. 첫째로, 가장 기본적인 형태인 point-to-point 방식으로 한개의 interconnection으로 단 한개의 채널의 송수신이 이루어 지는 방식이다. 두번째로는 한개의 interconnection에 carrier 주파수 대역을 나누어서 전송량을 두배로 높이는 기법이 발표되었다. 마지막으로 #2번 논문과 유사하게 waveguide 형태의 interconnection을 사용하지만, 서로 orthogonal polarization(x and y)을 가지는 RF 신호를 이용하여 데이터 전송량을 두배로 높이는 기법이 있다. 첫번째 방식의 경우 데이터 전송량이 낮다는 단점이 있으며, 두번째 방법의 경우 외부 LO 신호를 필요로 한다는 단점이 있다. 또한 세번째 경우 RF 신호 사이의 orthogonality에 따라서 신호 간의 isolation 보장이 어렵다는 단점을 가진다. #2번 논문은 100GHz 이상의 주파수 대역에서 유리한 waveguide를 사용하면 waveguide에서 만들 수 있는 electric field의 여러 mode를 이용하여 데이터 전송량을 높이는 기법을 제시하였다. #2에서 제시하는 송수신 방법은 같은 E-field mode를 가지는 송수신단(1&2 ports, 3&4 ports, 5&6ports)만 통신을 하는 방법이다. Ports 간 isolation은 coupler를 통하여 확보하여 하나의 interconnection을 통해 #2 논문에서는 3개 채널의 wireline communication을 이루어 냈다. Waveguide의 mode 특성상 낮은 mode( $E_{11}$ )가 높은 mode( $E_{31}$ )보다 낮은 cutoff-frequency를 가지기 때문에 #2 논문에서 제시하는 것과 같이 상대적으로 넓은 signal bandwidth를 가진다. 따라서 mode의 차이에 따라 최대 데이터 전송량이 차이가 나며, 가장 낮은 mode( $E_{11}$ )를 사용하는 채널의 데이터 초당 데이터 전송량이 가장 많은 것을 볼 수 있다. 현재 #2 논문의 경우 waveguide의 3개 mode만을 이용하여 하나의 interconnection에서 대략 3배의 데이터 전송 속도를 얻었지만 더 많은 mode를 지원하면서 더 넓은 bandwidth를 가지는 waveguide를 설계할 수 있다면 기존의 wireline communication 분야에서 발표되었던 기법보다 더 좋은 성능을 가질 수 있을 것으로 기대된다.



[그림 2] (좌) 논문에서 제시하는 multi-drop channel 송수신 구조 (우) 3가지 mode를 지원하는 waveguide 구조

#27-3 서울대에서 발표된 Digital PLL 논문이다. Parallel multi-core topology를 사용한 LC oscillator의 경우 출력 위상 노이즈 퍼포먼스가 좋지만 Frequency Tuning Range (FTR)이 좁다는 단점이 있다. 이에 대해 많은 해결책이 제시되었지만 종래의 테크닉들은 공간 및 파워 효율이 좋지 않다는 단점이 있었다.



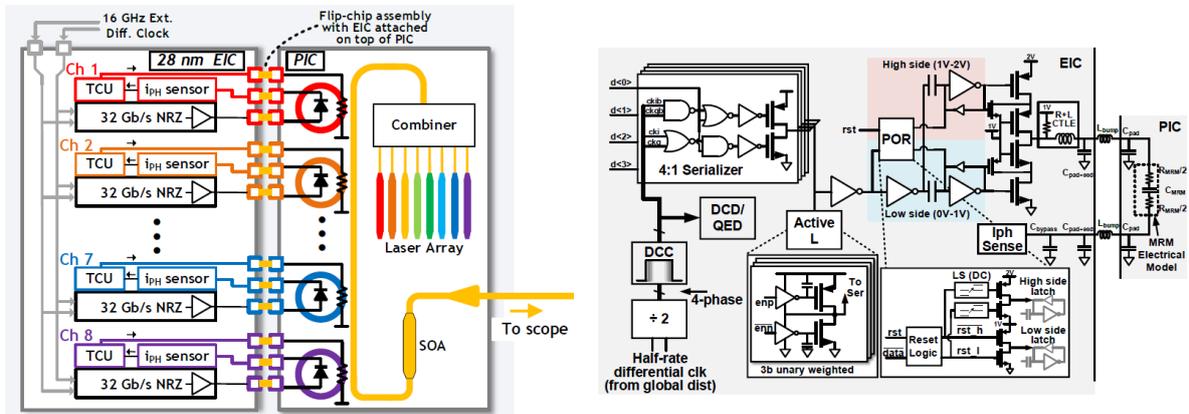
[그림 3] 제안한 PLL의 LC 탱크 구조

공간 효율적으로 높은 FTR 을 달성하기 위해 본 논문에서는 그림[2]의 인덕터 구조를 제안하였다. 해당 구조는 Mode 에 따라 인덕턴스를 가변 할 수 있는 구조로 이를 통해 133%의 높은 FTR 을 공간 효율적으로 달성하였다. 회로의 인덕터는 탑 메탈로 그려져 있는 L0 와 그 아래 Magnetically coupled 되어 있는 L1, L2 로 이루어져 있다. Mode1 에서는 인덕턴스가 L0 로 고정되고, Mode2 와 3 에서는 커플링 되어 있는 인덕터 Magnetic Field 의 In-Phase/Out-Phase 상태를 조절하여 인덕턴스를 L1+L2 혹은 L1-L2 의 값으로 가변 할 수 있도록 하였다.

제안한 구조에서는 Frequency Acquisition 을 FFT 를 기반으로 하고 있다. 따라서 Locking Time 은 FFT 모듈의 데이터 처리 속도에 큰 영향을 받게 된다. FFT 모듈의 입력에는 나눠진 후 샘플링된 Oscillating clock 신호가 들어가게 되는데, 해당 신호가 50%의 Duty 를 가진 사각파형이란 정보를 미리 알고 있으므로 몇몇의 weight coefficient 를 미리 정의할 수 있다. 본 논문에서는 이를 이용하여 frequency acquisition time 감소시켜 0.99 $\mu$ s 수준의 빠른 Locking Time 을 달성하였다.

#27-4 Optimal compute interconnect(OCI)는 1 ~ 100m 수준에서 고속 데이터 송수신(1 ~ 100Gbps)에 매우 유리한 interconnection 방법이다. #4 논문에서는 OCI의 고속 데이터 송수신의 장점을 이용해서 Electronic IC(EIC)와 Photonic IC(PIC)를 접목한 8개 채널의 송신 단을 제안하였다. PIC 특성상 채널마다 다른 빛의 파장을 가지며, 서로 다른 빛의 파

장에 맞는 공진점을 tuning하기 위해서 그림4의 (좌)처럼 저항을 통해 온도를 제어한다. 따라서 각 채널은 채널에 해당되는 빛의 파장에 맞는 공진 점을 찾기 위해 온도를 제어 하며, 온도 제어를 위해 photocurrent( $I_{PH}$ ) 를 sensing한다. 공진점을 맞추기 위해 photocurrent( $I_{PH}$ )를 정밀하게 sensing 해야 하며 이를 위해 여러가지의 programmable current와 auto-zeroing과 같은 기법을 사용하였다. PIC 구동을 위해 0 ~ 2V swing을 가지는 driver가 필요하며 그림4 (우)와 같이 low-voltage 소자를 사용한 stacking inverter를 사용했다. 서로 다른 swing level을 가지는 inverter 구동을 위해 AC-coupled level-shifter 를 사용했다. AC-coupled level-shifter의 경우 power noise에 상당히 취약하며 #4 논문에서는 이런 문제를 해결하기 위해 level-shifter의 latch를 reset하는 회로를 추가하였다. [3] 논문과 유사하게 ring resonator 기반의 송신기 구조에서 8개의 채널로 확장한 송신기를 구성하였으며, 각 채널에 해당되는 공진점을 photocurrent( $I_{PH}$ ) sensing 회로 및 calibration 회로를 통해 정밀하게 tuning한 논문이라 볼 수 있겠다.



[그림 4] (좌) #4 논문에서 제안하는 EIC-PIC 송신기 구조 (우) PIC 구동을 위한 EIC 내부 구동회로

## 저자정보



### 명예기자 배흥현

- 소 속 : KAIST 전기 및 전자공학과 박사과정
- 연구분야 : Fast & Fully-integrated DC-DC Converter
- 이 메 일 : hongbae2004@kaist.ac.kr
- 홈페이지 : icdesignlab.net